

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-339696

**(43)Date of publicati n of applicati n : 24.12.1996**

**(51)Int.Cl.**

**611C 29/00**

**(21)Application number : 08-128716**

(71)Applicant : **INTERNATL BUSINESS MACH CORP <IBM>**

**(22)Date of filing : 23.05.1996**

(72)Inventor : **TOSHIKI KIRIHATA**  
**WONG HING**

**(30)Priority**

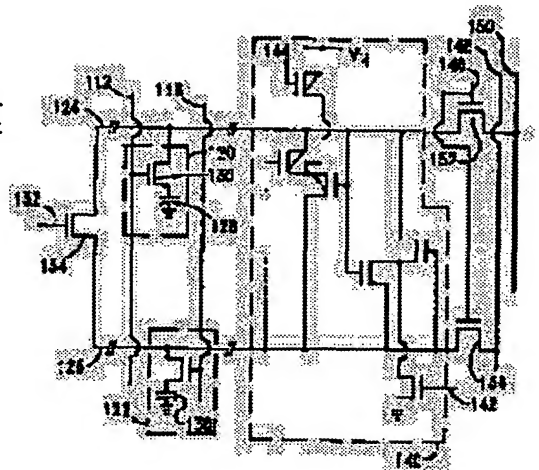
**Pri rity number : 95 477061      Priority date : 07.06.1995      Priority country : US**

#### (54) METHOD FOR TESTING RAM ARRAY

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To shorten the time required for discriminating a defective semiconductor memory chip.

**SOLUTION:** A method for testing RAM array includes a step in which an array selecting signal is given, a step in which a row group in an array is selected, a step in which at least one row is selected out of a selected row group, and a step in which the steps (b) and (c) are repeated until all row groups are selected. An array sense amplifier 140 is set when the first row group is selected and kept set until the last row group is selected. In the first test, the word lines 112 and 118 of all selected rows are activated and kept activated until the last selected row is selected. In the second test, the word lines of the selected groups are toggled by means of an RAS. When a group contains a known defective word line, the group is not addressed or the selection of the word line is disabled.



## LEGAL STATUS

**[Date of request for examination]**

**14.08.1998**

[Date of sending the examiner's decision of rejection]

**[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]**

**[Date of final disposal for application]**

[Pat nt number]

**3251851**

**[Dat of registration]**

**16.11.2001**

[Number of appeal against examiner's decision of rejection]

**[Date of requesting appeal against examiner's decision of rejection]**

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-339696

(43) 公開日 平成8年(1996)12月24日

(51) IntCl.<sup>6</sup>  
G 1 1 C 29/00

識別記号  
3 0 3

庁内整理番号

F I  
G 1 1 C 29/00

技術表示箇所

3 0 3 A

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号 特願平8-128716

(22) 出願日 平成8年(1996)5月23日

(31) 優先権主張番号 4 7 7 0 6 1

(32) 優先日 1995年6月7日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク (番地なし)

(72) 発明者 トシアキ・キリハタ

アメリカ合衆国 12590 ニューヨーク州  
ワッピンガーズ フォールズ タウン  
ビュー ドライブ 38

(74) 代理人 弁理士 合田 潔 (外2名)

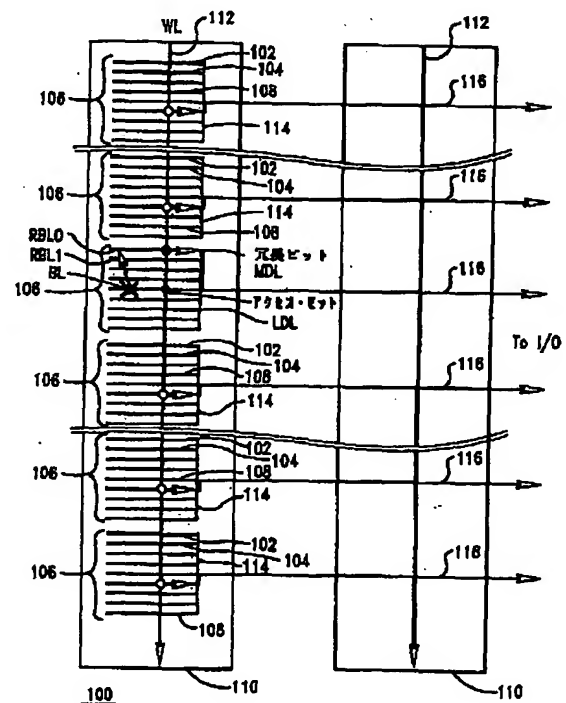
最終頁に続く

(54) 【発明の名称】 RAMアレイをテストする方法

(57) 【要約】

【課題】 欠陥半導体メモリ・チップを識別するのに必要な時間を軽減する。

【解決手段】 この方法は、アレイ選択信号を与えるステップと、アレイ内の行グループを選択するステップと、選択された行グループの少なくとも1本の行を選択するステップと、すべての行グループが選択されるまで、ステップ(b)および(c)を繰り返すステップとを含んでいる。アレイ・センスアンプは、最初の行グループが選択されるとセットされ、最後の行グループが選択されるまで、セットされたままである。第1のテストでは、すべての選択された行のワードラインがアクティベートされ、最後の選択行が選ばれるまで、アクティベートされたままである。第2のテストでは、選択されたグループのワードラインは、RASによってトグルされる。グループが既知の欠陥ワードラインを含むならば、グループはアドレスされないか、あるいはその選択がディスプレイされる。



## 【特許請求の範囲】

【請求項1】行および列に配列され、前記行は複数のグループに分けられた、RAMアレイをテストする方法において、

- a) アレイ選択信号を与えるステップと、
- b) 前記アレイ内の行グループを選択するステップと、
- c) 前記選択された行グループの少なくとも1本の行を選択するステップと、
- d) すべての前記行グループが選択されるまで、前記ステップ(b)および(c)を繰り返すステップと、を含む方法。

【請求項2】少なくとも1本の行を選択する前記ステップ(c)の後に、

- c1) センサンプをセットするステップを、さらに含む請求項1記載の方法。

【請求項3】少なくとも1本の行を選択する前記ステップ(c)の後に、

- c1) 前記アレイの列内の複数のビットラインを接地するステップを、さらに含む請求項1記載の方法。

【請求項4】前記アレイ選択信号を与えるステップ

- (a) は、リセット信号をディスエーブルするステップを含む、請求項1記載の方法。

【請求項5】前記ステップ(b)および(c)を繰り返すステップ(d)は、前記アレイ選択信号をトグルするステップをさらに含む、請求項1記載の方法。

【請求項6】前記ステップ(d)は、前記ワードライン・ドライバをイネーブルにトグルするステップをさらに含む、請求項5記載の方法。

【請求項7】前記行グループを選択する前記ステップ(b)は、第1の行グループの選択をディスエーブルし、第2の冗長行グループを選択するステップをさらに含む、請求項1記載の方法。

【請求項8】各行グループは、4本の行よりなるグループであり、前記少なくとも1本の行は、1本の行である、請求項1記載の方法。

【請求項9】各行グループは、4本の行よりなるグループであり、前記少なくとも1本の行は、2本の行である、請求項1記載の方法。

【請求項10】各行グループは、4本の行よりなるグループであり、前記少なくとも1本の行は、4本の行である、請求項1記載の方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、一般には半導体メモリ、特に半導体メモリのテストに関するものである。

## 【0002】

【従来の技術】メモリセルの欠陥およびメモリアレイの欠陥には、多くの原因、したがって多くの特徴がある。分離されたセルの障害は、たとえ1つであっても、アレイ中に広がり、多くの場合、同じ付近の多数のセルが故

障する。多数セル障害が発生すると、障害は、ワードライン障害（すなわち同一ワードライン・アドレスにあるセルの障害）、ビット（またはコラム）ライン障害（すなわち、同一ビットラインにあるセルの障害）、またはこれらの両方の障害に分けられる。これらの多数セル障害の原因は、変化する。したがって、メモリアレイは、欠陥セルを検出するために、広範囲にわたってテストされる。

【0003】多くの場合、欠陥のあるチップは、修理することができる。欠陥セルは、検出されると、アレイ内にスペアセルが設けられているならば、スペアセルと電気的に取り換えることができる。セル障害の修理のために、オンチップ・スペアセルを設けることは、技術上、オンチップ冗長性として既知である。代表的な最新の冗長方法は、1本以上のスペア行（行冗長性）および/または1本以上のスペア列（列冗長性）を有している。これらのスペア行/列は、フューズ・プログラマブル・デコーダを有している。このデコーダは、欠陥行/列のアドレスに応じてプログラムでき、同時に、欠陥セルを有する行/列の選択をディスエーブルする。修理されたチップは、電気的に、完全に良品のチップと見分けることはできない。

【0004】図1は、従来技術の16Mb DRAMチップの略図である。チップ100は、各サブアレイ106に2つのスペア列を与える、冗長ビットライン(RBL)102, 104を備えている。各サブアレイ106は、2<sup>n</sup>本(nは代表的には、5~8)のビットライン(BL)108と、冗長ビットライン(この例では2本)とを有している。各サブアレイ106は、サブアレイ・ブロック110の一部である。すべてのサブアレイ・ブロック110は、集合して全RAMアレイを形成する。したがって例えば、16Mb RAMは、各1Mbの16個のサブアレイ・ブロック110を有している。ブロックのサイズ、サブアレイのサイズ、および1個のブロック110あたりのサブアレイ106の数は、相互に依存し、性能および論理目的に基づいて選択される。

【0005】1本のワードライン112が選択され、ハイにドライブされると、サブアレイ106がアクセスされる。アクセスされたセルからのデータは、ビットライン108と冗長ビットライン102, 104とに同時に与えられる。冗長デコーダがスペア列をアドレスするか否かを決定するのを可能にするのに十分な、所定の最小遅延の後、各サブアレイ内で冗長ビットライン102, 104が選択される。各サブアレイにおいて、選択されたビットライン108または冗長ビットライン102, 104は、ローカル・データライン(LDL)114に接続される。LDL114は、マスタ・データライン(MDL)116に接続される。MDL116は、各サブアレイ・ブロック110内の対応するサブアレイ106を接続する。データは、サブアレイ106とMDL1

16上のチップI/Oとの間を、転送される。

【0006】図2は、サブアレイ106のトランジスタ・レベルの回路図である。隣接するワードライン112, 118に接続されたセル120, 122は、また、各ビットライン対の対向ライン124, 126に接続される。したがって、ワードライン112の半分（例えば、偶数アドレスのワードライン）が、ビットライン対の一方のライン124上のセル120を選択する。残りの半分のワードライン118（奇数アドレスのワードライン）は、ビットライン対の他方のライン126上のセル122を選択する。各セルの記憶キャパシタ128は、代表的には、トレンチ・キャパシタまたは高密度のスタック構造である。技術上既知のように、FETが通過させる最大電圧は、そのゲート・ソース電圧（ $V_{GS}$ ）からFETのターンオン電圧すなわちスレシヨルド電圧（ $V_T$ ）を引いた電圧、すなわち $V_{GS}-V_T$ である。したがって、ビットライン124, 126が電源電圧レベル $V_{dd}$ （または $V_H$ ）にチャージされ、ワードライン112, 118がまた $V_{dd}$ にあれば、最大のビットライン信号、すなわち記憶キャパシタ128に記憶されたまたは記憶キャパシタ128から読取られた電圧は、 $V_{dd}-V_T$ である。したがって、ビットライン信号を最大にするには、ワードライン112, 118を、読取りまたは書込み中に、典型的には少なくとも $V_{dd}+V_T$ に昇圧し、 $V_{dd}$ が、セルに書込まれ／セルから読出されるようにする。この昇圧レベルは、 $V_{pp}$ と呼ばれ、通常、オンチップで発生される。

【0007】図2の回路の動作を、図3のタイミング図に従って説明する。“1”をアレイに記憶して、センスアンプ140を、予め定めた“1”状態にセットする。したがって、“1”がビットライン124ハイおよびビットライン126ローと定義されると、セルの記憶キャパシタ128をチャージすることによって、“1”がセル120（およびビットライン124に接続されたすべての他のセル）に記憶される。逆に、セル122の記憶キャパシタ138をチャージすることによって、“1”がセル122（およびビットライン126に接続されたすべての他のセル）に記憶される。セル120または122を選択する前は、アレイは、その定常状態の待機状態にある。等化トランジスタ134のゲート132がハイに保持されると、ビットライン124, 126の電圧は、 $V_H/2$ に等しくされる。ワードライン（WL）112, 118および選択ライン（CSL）146は、待機中ローに保持される。従来技術のRAMでは、簡単なリセット可能ラッチ回路（図示せず）によって、各ワードラインがローにクランプされる（ハイにドライブされなければ）。ワードライン112（または118）がハイにドライブされると、ワードライン112上の各セル120において、セル・バスゲート130はターンオンされ、セルの記憶キャパシタ128を対のライン124

に接続する。したがって、記憶キャパシタ128とライン124との間で、電荷が転送される。代表的には、ビットライン・キャパシタンスは、記憶キャパシタ128のキャパシタンスよりも少なくとも10倍大きい。したがって、ライン124の電圧は、記憶キャパシタ128に1が記憶されると上昇し、記憶キャパシタ128に0が記憶されると低下する。ビットライン124と記憶キャパシタ128との間の電荷転送を最大にするためには、ワードライン112を $V_{pp} \geq V_{dd}+V_T$ に昇圧させる。ビットライン対の他のライン126は、そのプリチャージ電圧レベル $V_{dd}/2$ に保持され、センスアンプ140の基準電圧として働く。

【0008】十分な電荷が転送されて“1”または“0”を検出するのに十分な遅延の後、センスアンプ140がセットされる。センスアンプは、センスアンプ・イネーブル（SAE）ライン142をハイに、その反転ライン144をローにドライブすることによって、セットされる。ビットライン対124, 126に転送されるデータは、ビットライン対124, 126上で増幅され、再ドライブされる。これは、センスアンプ124をセットし、セル120に記憶されたデータに基づいて、ビットライン124, 126を、ハイ／ローまたはロー／ハイにすることにより行われる。センスアンプのセットは、検出されたデータを、選択されたセル120に書込む。センスアンプをセットすることによって、すべてのビットライン124, 126が再ドライブされると、セグメント選択信号（SEGE<sub>i</sub>）は、ドライブCSL146をハイに立上げて、各アクセスされたサブアレイ106内の1つの列を選択する。CSL146上のハイは、選択された再ドライブ・ビットライン対124, 126を、バスゲート152を経て、LDL148, 150に接続する。CSLタイミングは、SEGE<sub>i</sub>にほぼ同じであるが、それよりわずかに遅延している。

【0009】障害セルを識別するためのメモリチップのテストは、複雑であり、障害の各種類を識別するように構成された特殊なテスト・パターンを必要とする。セルの欠陥または欠点は、ハードDC障害またはAC（結合）障害を生じさせる。典型的なDC障害は、セルと通過ワードライン（WL）との間の漏洩、ビットライン対WL漏洩、WL対基板／チャンネル漏洩、あるいはWL対WL漏洩である。典型的なAC障害は、WLまたはセンスアンプ（SA）セットへの容量結合より生じるノイズである。

【0010】多くのこのようなテストは、テスト時間、したがってコストを下げるためには、幾本かのワードラインを同時にアクティベートすることを要求する。1つの例は、セルと通過WLとの間、およびBLとWLの間の漏洩をテストするのに用いられる複数ワードライン選択テストである。このテストに対しては、典型的に、1本以上（すべてではない）のワードラインをハイにドラ

イブシ（アクティベートし）、同時に、センスアンプ（SA）をセットする。アクティベートされたワードラインは、延長された期間（長期間  $t_{RAS}$ ）の間、アクティブに保持される。一定の欠陥に対しては、アクティベートされた通過ワードラインからのセル漏洩は、欠陥セルの記憶キャパシタ 128 をチャージし、これによりセルに記憶されたデータを変更する。また、他の種類の欠陥に対しては、ビットライン対セル漏洩は、欠陥セルのチャージされた記憶キャパシタ 128 をディスチャージし、蓄積された電荷を減少させて、欠陥セルの読取り、したがって識別を不能にし、あるいはほとんど不能にする。各ワードラインは、比較的に長い期間アクティベートされることが必要であり、および DRAM は非常に多数のワードラインを有するので、テスト時間を短くするには、テストにおいて多くのワードラインを同時にアクティベートしなければならない。

【0011】他の例は、転送ゲート・ストレス・テストであり、これは、欠陥のあるセル、あるいは弱いゲート酸化物を識別するために用いられる。このテストに対しては、代表的に、すべてのワードラインはハイに、すなわち  $V_H$  より大、例えば  $V_{pp}$  にドライブされ、一方、すべてのビットラインはローに、すなわち GND にされる。すべてのワードラインが  $V_{pp}$  に、すべてのビットラインが GND にあれば、ゲート酸化物電界は最大になる。ゲートが欠陥または弱い酸化物を有するならば、短絡が形成される。

【0012】多くの場合、多数のワードラインを含むテストが、記憶キャパシタ・プレート上の異常に大きなプレート電圧バウンス（bounce）によって、あるいはアレイ・ウェル電圧バウンスによって、妨害される。これら両バウンスは、従来技術の DRAM における多数ワードラインの同時切換によって生じる。これらの電圧バウンスは、ストレス下のセルに対し異常な妨害を生じさせ、セルに記憶されたデータを破壊する。

【0013】複数のワードラインを同時にアクティベートする場合の他の問題は、IR 降下によってローカル  $V_{pp}$  レベルを減少させるワードライン短絡の高い可能性である。例えば、ワードラインがグランドに短絡されると、電源パスを経る電圧降下は、非常に重要になる。またワードライン対ワードライン短絡が発生する。このような短絡は、信頼できず、かつ、予期し得ないテスト結果を生じる。しかし、従来技術の DRAM では、欠陥ワードライン（たとえ以前に識別され、置き換えられたとしても）の選択を、前記複数ワードライン・テスト中に、避けることはできない。したがって、複数ワードラインを、さらに容易に、フレキシブルに、かつ、信頼性良くテストすることのできる RAM が要求される。

【0014】

【発明が解決しようとする課題】本発明の目的は、半導体メモリのテスト時間を軽減することにある。

【0015】本発明の他の目的は、半導体メモリのテストを簡略にすることにある。

【0016】本発明のさらに他の目的は、欠陥半導体メモリ・チップを識別するのに必要な時間を軽減することにある。

【0017】本発明のさらに他の目的は、初期の半導体メモリ・チップのテスト・スクリーニングを簡略化することにある。

【0018】本発明のさらに他の目的は、RAM アレイに対し複数のワードラインを同時に選択することにある。

【0019】

【課題を解決するための手段】本発明は、RAM をテストする方法である。RAM アレイは、行および列に配列されている。行は複数のグループに分けられている。この方法は、a) アレイ選択信号を与えるステップと、b) アレイ内の行グループを選択するステップと、c) 選択された行グループの少なくとも 1 本の行を選択するステップと、d) すべての行グループが選択されるまで、ステップ (b) および (c) を繰り返すステップとを含んでいる。アレイ・センスアンプは、最初の行グループが選択されるとセットされ、最後の行グループが選択されるまで、セットされたままである。第 1 のテストでは、すべての選択された行のワードラインがアクティベートされ、最後の選択行が選ばれるまで、アクティベートされたままである。第 2 のテストでは、選択されたグループのワードラインは、RAS によってトグルされる。グループが既知の欠陥ワードラインを含むならば、グループはアドレスされないか、あるいはその選択がディスエーブルされる。各選択されたグループでは、1 本の行、交互する行、またはすべての行を選択することができる。

【0020】

【発明の実施の形態】本発明は、行デコーダを有する半導体メモリである。行デコーダは、一旦ラッチされるとリセットされるまで保持されるアドレス・イネーブル・ラッチ回路を有している。行デコーダのラッチ回路のセットは、個々のアドレスを通して、複数のワードラインの各々の個々の選択をイネーブルする。センスアンプ（SA）は、複数のワードラインのうちの第 1 のワードラインをターンオンした後に、セットされる。リセット信号がイネーブル・ラッチ回路をリセットすると、ワードラインはローに戻され、これにより行デコーダをディスエーブルして、行デコーダを選択されない状態に戻す。

【0021】図 4 は、本発明によるラッチ行デコーダ 200 の略図である。ラッチ行デコーダ 200 は、各サブアレイ内に 256 本のワードラインを有する 256 Mb DRAM 内のワードライン・デコーダである。本発明のラッチ・デコーダは、ラッチ回路 202（交差接続さ

れたインバータ 204, 206) と、アドレス選択論理回路 (NFET 208, 210, 212) と、リセット・デバイス (PFET 214) と、ラッチ・バッファ 216 と、4 個のゲート型ワードライン・ドライバ 218, 220, 222, 224 とを有している。256 本のワードライン  $WL_{1,0-3}$  に対し、64 個 ( $i=0\sim 63$ ) のこのようなラッチ・デコーダ 200 が存在する。

【0022】ラッチ・デコーダ 200 は、アドレス選択論理回路内の 3 個の NFET 208, 210, 212 をターンオンすることによって、選択される。これらの 3 個の NFET 208, 210, 212 は、3 入力 NAND ゲートを形成し、アドレス信号 A23, A45, A67 の各々をハイにドライブすることによって、ターンオンされる。A23 は、図 5 の部分デコーダ (3 入力 NOR ゲート) 226 からの、部分的にデコードされたアドレス信号である。A45 および A67 は、それぞれ、図 6 の 2 入力 NOR ゲート 228 からの部分的にデコードされたアドレス信号である。A4, A5, および A6, A7 は、それぞれの 2 入力 NOR ゲートへの入力であり、その出力線上に A45, A67 を適切に発生する。

【0023】ワードライン・アドレスビットは、01, 23, 45, 67 と対にされており、これら対は、部分デコーダ 226, 228, 240 (図 7) で、それぞれ A01, A23, A45, A67 として部分的にデコードされる。各 A23 部分デコーダ 226 を、行冗長ディスエーブル否定信号 (RRDN) 信号によってディスエーブルでき、これにより、複数のワードライン・テスト中にも、欠陥ワードラインの選択を防止する。RRDN は、通常ローに保持され、以前に置き換えられた欠陥行が選択されたならば、A23 部分デコーダを、ディスエーブルのためにのみ、ハイにドライブする。これは、従来の DRAM に固有のこれら欠陥ワードラインの選択における問題を回避する。各部分デコーダ入力 (例えば A2 または A3) は、真または補数であり、これらはアドレス・レーンバから得られ、A2 は A2T または A2C のいずれか、A3 は A3T または A3C のいずれかである。16 個の部分デコード信号が存在する。これらの部分的にデコードされた信号は、以下に示すように、A01, A23, A45, または A67 によって表される。

【0024】 $A01=A0C1C, A0T1C, A0C1T$ , または  $A0T1T$

$A23=A2C3C, A2T3C, A2C3T$ , または  $A2T3T$

$A45=A4C5C, A4T5C, A4C5T$ , または  $A4T5T$

$A67=A6C7C, A6T7C, A6C7T$ , または  $A6T7T$

4 個のワードライン・ドライバ 218, 220, 222, 224 の各々は、A01 によって選択される。A01 は、図 7 のラッチ部分デコーダ 240 において発生さ

れる。ラッチ A01 部分デコーダ 240 は、図 4 の 3 入力 NAND ゲートおよびラッチ回路と、以下の点を除いて、機能的に同じである。すなわち、リセット PFET 214 およびデコード NFET 208 は、共通リセット信号、すなわち入力 242 での  $WLRESET^*$  (\* は否定を意味する) によってドライブされる。A0 および A1 は、それぞれ、入力 244, 246 でゲート 210, 212 に接続され、組合されて A01 を発生する。好ましくは、A01 部分デコーダ 240 の出力 217 は、レベルシフタ (図示せず) を駆動する。このレベルシフタは、順次、ワードライン・ドライバ 218, 220, 222, 224 (図 8 の 250) について、A01 を出力 217 の  $V_{dd}$  から  $V_{pp}$  に反転シフトする。

【0025】ワードライン・ドライバ 250 は、PFET 252 および NFET 254 により構成されている。図 8 に示すように、両 FET 252, 254 のゲートは、ラッチ・バッファ 216 の出力 217 によって駆動される。NFET 254 のドレイン、ソースは、ワードライン 256 とグランドとの間に接続される。PFET 252 のドレイン、ソースは、A01 とワードライン 256 との間に接続される。行デコーダのラッチ回路 202 がリセットされると、出力 217 はハイになって、NFET 254 をターンオンし、ワードラインをローに保持し、PFET 252 をターンオフし、ワードライン 256 を A01 から分離する。行デコーダのラッチ回路 202 がセットされると、出力 217 はローとなって、NFET 254 をターンオフし、ワードライン 256 をグランドから分離し、PFET 252 をターンオンし、ワードライン 256 を A01 に接続する。

【0026】このように、アドレス行デコーダのラッチ回路 202 は、NFET 208, 210, 212 をターンオンすることによりセットされ、 $A_i$  をローにプルする。ラッチ・インバータ 206 は、 $A_i$  のローを反転する。ラッチ・バッファ 216 は、インバータ 206 の出力を再反転して、すべての 4 個の反転ワードライン・ドライバ 218, 220, 222, 224 の 2 入力にローを与える。図 8 の各ワードライン・ドライバ 218, 220, 222, 224 は、その各ラッチ部分デコーダ 240 からの各ゲート入力  $A0C1C, A0T1C, A0C1T$  または  $A0T1T$  がハイにドライブされると、ワードラインをハイにドライブする。行デコーダのラッチ回路 202 は、一旦セットされると、リセット信号 PRE がローにドライブされるまでセットされたままであり、PFET 214 をターンオンし、ラッチ回路 202 をリセットする。

【0027】各 WL は、その各ワードライン・ドライバによって、ハイまたはローにアクティブに保持される。したがって、従来技術の RAM において選択されなかったワードラインをローにクランプすることが要求された WL ラッチ回路は、本発明によって、取り除かれる。さ

らに、デコーダがイネーブルされると、4個のWLが同時に部分的に選択される。

【0028】本発明のラッチ行デコーダを有するRAMについては、5モードの動作が存在する。さらに、通常のランダム・アクセス・モードの外に、4つのテストモードがある。これらのテストモードは、長期間 $t_{RAS}$  WL妨害モード、トグルWL妨害モード、転送ゲート・ストレス・モード、WLストレス・モードである。

【0029】図9は、ランダム・アクセス・モードの動作のタイミング図である。待機中、部分的にプリデコードされたアドレスA23, A45, A67, およびリセット信号PREはローであり、デコーダ・ノード $A_i$ を $V_{pp}$ にプリチャージする。部分的にプリデコードされたアドレスA01は、またローであり、したがって、256本のすべてのワードライン $WL_{i,0-3}$ である。アレイ・アクセスは、RAS $^*$ がローになるとき開始する。選択されたサブアレイのリセット信号PREが立上り、デコーダ・リセットをディスエーブルする。次に、部分的にデコードされた各アドレス（例えば、A2C3C, A4C5C, A6C7C）の1つが立上る。その結果、64個のデコーダから1つのデコーダ $A_i$  ( $A_0$ ) がローにプルされて、そのラッチ回路をセットする。ラッチ回路のセットは、256本のワードラインのうちの4本のグループ（すなわち $WL_{0,03}$ ）を部分的に選択する。このグループのうちの1本のワードラインは、部分的にプリデコードされたアドレスA01（例えばA0C1C）の1つが立上ることによって選択される。このようにして、選択されたワードライン ( $WL_{0,0}$ ) は、ハイにドライブされる。センスアンプは、通常にセットされる。

【0030】アレイがアクセスされた後に、すべてのプリデコードされた信号A01, A23, A45, A67 およびPREは、RAS $^*$ が立上るときにローにリセットされる。リセットの際、以前にセットされたラッチ回路は、リセット信号PREのローによってリセットされ、 $A_i$  はPFET214を経て $V_{pp}$ にプルされる。また、以前に選択されたWL（すなわち $WL_0$ ）はローに戻される。

【0031】好適な実施例のラッチ行デコーダによるRAMのテストは、従来技術によるRAMのテストに対してかなり改善されている。本発明の利点を容易に理解させるために、複数ワードライン・テストのタイミング図を、従来技術のRAMと、図4～図8のラッチ行デコーダによるRAMとについての上記各テストに対して示す。

【0032】図10は、従来技術の複数のワードラインの長期間 $t_{RAS}$  妨害テストに対するタイミング図である。この従来技術のテストにおいては、RAS $^*$ が立上ると、64本のワードライン $WL_{i,0}$  が同時にハイにドライブされる。センスアンプは、その直後にセットされる。アクティベートされたワードライン上のすべてのセ

ルは、同時にターンオンされ、検出される。この同時セル切換は、セルのプレート電圧および $V_{pp}$ にノイズを誘導する。ノイズ電流と $V_{pp}$ およびプレート上の抵抗とは、テストを妨害し、この従来技術RAMについてのテストの信頼性を減少させる。

【0033】これとは対照的に、図11は、本発明による長期間 $t_{RAS}$  妨害テストに対するタイミング図である。このテストでは、ラッチ行デコーダ回路は、連続的に選択され、ラッチされて、ラッチされたデコーダが1対4選択ワードラインのグループをイネーブルする。このテストでは、センスアンプは、第1のWLが選択された後に、セットされる。RAMをさらにストレスするには、電圧 $V_{pre}$ をプリチャージすることによって、ビットラインを、ビットライン等化器を経て接地 (GND) することができる。これは、64個のすべてのデコーダが選択され、ラッチされた後に、行われる。選択されるワードラインの数およびそれらのアクティベーション・シーケンスは、テストにおいて外部的に選択される。また、セット信号PREは、テストによって外部制御されるので、テストはラッチ回路を独立にリセットする。したがって、アクティベートされたワードラインおよびセットされたセンスアンプの数は、このテストにおける各連続選択中は、通常のランダム・アクセスと同じであるので、（すなわち、ワードライン、ビットライン、センスアンプの通常の数、切り換えられる）、このテストは、通常の読取りまたは書込み程度に信頼でき、従来技術よりもかなり改善されている。

【0034】長期間 $t_{RAS}$  妨害テストの始めに、チップがイネーブルされると (RAS $^*$ がロー)、リセット信号PREは立上り、ハイに保持されて、 $A_i$  デコーダのラッチ回路リセットをディスエーブルする。続いて、部分的にデコードされたアドレス（例えば、A2C3C, A4C5C, A6C7C）は、ランダム・アクセス・モードにおけるように立上る。その結果、64個のデコーダのうちの1つのデコーダ $A_i$ （例えば $A_0$ ）がローにプルされ、ラッチされる。このセット・ラッチは、256本のワードラインから4本を、この例では $WL_{0,0}$ を選択する。部分的にプリデコードされたワードライン・ドライバ・アドレスA01のうちの1つ (A0C1Cのような) が立上り、4個の部分的に選択されたワードライン・ドライバのうちの1個をイネーブルする。このドライバは、ワードライン $WL_{0,0}$ をハイにドライブする。したがって、通常のランダム・アクセスに関して、センスアンプが通常にセットされる。長期間 $t_{RAS}$  ワードライン妨害テスト中のこの最初のアクセスの後に、RAS $^*$ がハイのときでさえも、リセット信号PREはハイに保持されるので、選択されたワードラインは、選択されたままである。各連続するRASサイクルでは、部分的にデコードされたアドレス（例えば、A2T3C, A4C5C, A6C7C）が立上ると、他のラッチ回路



がセットされる。各ラッチ回路がセットされると、他のグループのワードライン・ドライバは、部分的に選択され、したがって、他のワードラインがドライブされる。以前にセットされたラッチ回路はセットされたままであり、既にアクティブなワードラインは、アクティブのままである。このシーケンスは、すべてのワードライン・デコーダがイネーブルされるまで、すなわちテストが終了するまで繰り返される。

【0035】テストが終了すると、アクティブなワードラインは、初めにA01をローにプルすることによって、リセットされる。A01レベルシフトは、それぞれ、通常動作において1本のWLをチャージおよびディスチャージするように構成されているので、リセット中の瞬時グラウンド電流は、これらレベルシフトによって制限される。各レベルシフトは、選択されたワードラインの主要部をディスチャージする。したがって、A01がローにプルされると、ワードライン・ドライバ218, 220, 222, 224によってワードラインをディスチャージする。ワードラインが $V_{ip}$ に低下すると、ディスチャージは停止する。リセット信号PREが立下ると、ラッチ・ノード $A_1$ が $V_{pp}$ にプルされるので、ラッチ回路はリセットされる。ラッチ回路のリセットは、行デコーダをリセットし、残りのワードラインの電圧( $V_{ip}$ )を、NFET254を経てグラウンドにディスチャージする。最後に、センスアンプが通常にリセットされる。

【0036】この長期間 $t_{RAS}$ 妨害テストは、選択されたワードラインあたり1つのRASサイクル(≒100ns)を必要とする。しかし、テスト時間は、セルの保持時間(256ms)よりもかなり短く、1000回のRASテスト・サイクルも可能である。

【0037】図12は、本発明によるトグル複数ワードライン妨害テストのタイミング図である。このテストでは、各ラッチ行デコーダは、連続的に選択され、このテストに対しては、WLRESETはRASによりトグルされ、続いてA01をトグルする。各デコーダのラッチ回路がセットされると、それはセットされたままに保持される。したがって、イネーブルされたワードラインは、RASですべてトグルされる。センスアンプは、最初のラッチ回路がセットされるとセットされ、あるいはトグルされたワードラインによってセットおよびリセットされる。長期間 $t_{RAS}$ 妨害テストについては、ワードライン・グループ・サイズおよびアクティベーション・シーケンスは、テストにおいて外部制御される。非常に多くのワードラインを同時にトグルする故に、 $V_{pp}$ ノイズを考慮するならば、同時にトグルする(選択される)ワードラインを、テストによって減らすことができる。

【0038】図13は、従来技術の転送ゲート・ストレス・テストのタイミング図である。このDCテストで

は、サブアレイ内の256本すべてのワードラインが、同時に選択され、ハイにドライブされる。ワードラインのドライブと同時に、ビットライン・プリチャージ電圧 $V_{pre}$ は、接地される。この従来技術テストは、同時切換、特にグラウンド・バウンスによって、妨害される。

【0039】図14は、本発明による転送ゲート・ストレス・テストのタイミング図である。このテストでは、4つのすべてのA01信号はハイに保持され、イネーブルされた行デコーダの4つのすべてのドライバをイネーブルする。RAS, PRE, A23, A45, A67は、トグルされて、行デコーダのラッチ回路を連続的にセットする。4本のワードライン(WL<sub>1,0-3</sub>)の各グループは、連続的にイネーブルされ、4本のすべてのワードラインはハイにドライブされる。このテストでは、図13の従来技術のテストのように、センスアンプはセットされない。その代わりに、ビットラインは、 $V_{pre}$ を接地することによって、ビットライン等化器を経て接地(GND)される。また、欠陥ワードラインはディスエーブルされて、従来技術のDRAMにおいて生じる短絡を経る $V_{pp}$ 降下を避けることによって、テストの信頼性をかなり改善する。

【0040】図15は、本発明によるワードライン・ストレス・テストのタイミング図である。このテストは、転送ゲート・ストレス・テストに類似している。しかし、交互するワードラインは、4つのA01信号の代わりに2つの信号(例えば、A0C1CおよびA0C1T)によって選択的にアクティベートされる。このテストでは、交互するワードラインは、ハイ( $V_{pp}$ )およびロー(GND)にされ、隣接するワードライン間に最大の電界を与える。WL間の短絡を、このテスト中にワードライン間で識別でき、あるいは形成することができる。したがって、RAS, PRE, A23, A45, A67は、長期間 $t_{RAS}$ ワードライン妨害テスト(図10)におけるように、トグルされる。ラッチ回路は連続的にセットされ、各ラッチ回路がセットされると、交互するワードライン(例えば、WL<sub>1,0</sub>およびWL<sub>1,2</sub>)が選択されて、連続的にドライブされる。ワードラインは、一旦アクティベートされるとアクティブに留まって、最終的に、ハイ/ローの交互するワードライン・パターンが生成される。

【0041】これら4つのテストについて、冗長制御信号PRDNによって部分アドレスをゲートすることによって、あるいは、フューズ・プログラミングの前に、テストにおいてアドレスをマスクすることによって、既知の欠陥ワードラインをディスエーブルすることができる。前述したように、従来技術のRAMでは、テスト中に、すべてのワードラインが同時に切り換わった。しかし、好適なラッチ行デコーダは、ワードラインのすべてあるいは多数を、徐々に選択することを可能にするので、ワードラインの一部のみが、RASテスト・サイク



ル中に、選択されたサブアレイにおいて切り換わる。したがって、 $V_{pp}$ ライン・ノイズが最小となり、外部 $V_{pp}$ 電源の必要性を排除する。

【0042】また、WL妨害テスト中のビットライン検出により生じるプレート・カップリング・ノイズは、最少となる。というのは、センスアンプは、第1のワードラインが選択された後に、セットされるからである。したがって、ビットラインは、最初のワードラインからのデータにตอบสนองしてドライブされるので、定常状態に保持される。さらに、本発明のデコーダによれば、2個以上のデコーダがイネーブルされた後に、複数ワードライン（イネーブルされた）を、ACテストのためにトグルすることができる。複数のワードラインの同時ディスチャージにより生じるかもしれない、切換電流誘導グラウンド・バウンスは、テスト中のビットラインおよびワードライン切換を減少させることによって、減少する。

【0043】さらに、テストは、アクティブ・ワードラインの数、それらの選択、それらのアクティベーション・シーケンスを制御することができる。したがって本発明は、重要なテスト・モード・フレキシビリティを有している。既知の欠陥ワードラインを置き換えるヒューズ・プログラミングの前に、テストは前のテスト結果を使って、既知の不良行アドレスを見つけることができる。また、欠陥ワードラインを識別し置き換えた後に、欠陥ワードラインは、冗長比較信号で行デコーダ選択信号をゲートすることによって、バイパスされる。したがって、行アドレスが置き換えられたWLに一致するならば、アドレスは阻止され、行デコーダには送られない。

【0044】最後に、このラッチ・デコーダを有するアレイを、すべてのワードライン、または延長された期間にわたってアクティブな交互ワードラインによって、バーン・インまたは信頼性解析することができる。

【0045】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 行および列に配列され、前記行は複数のグループに分けられた、RAMアレイをテストする方法において、

a) アレイ選択信号を与えるステップと、  
b) 前記アレイ内の行グループを選択するステップと、  
c) 前記選択された行グループの少なくとも1本の行を選択するステップと、  
d) すべての前記行グループが選択されるまで、前記ステップ(b)および(c)を繰り返すステップと、を含む方法。

(2) 少なくとも1本の行を選択する前記ステップ(c)の後に、

c1) センスアンプをセットするステップを、さらに含む上記(1)に記載の方法。

(3) 少なくとも1本の行を選択する前記ステップ(c)の後に、

c1) 前記アレイの列内の複数のビットラインを接地するステップを、さらに含む上記(1)に記載の方法。

(4) 前記アレイ選択信号を与えるステップ(a)は、リセット信号をディスエーブルするステップを含む、上記(1)に記載の方法。

(5) 前記ステップ(b)および(c)を繰り返すステップ(d)は、前記アレイ選択信号をトグルするステップをさらに含む、上記(1)に記載の方法。

(6) 前記ステップ(d)は、前記ワードライン・ドライバをイネーブルにトグルするステップをさらに含む、上記(5)に記載の方法。

(7) 前記行グループを選択する前記ステップ(b)は、第1の行グループの選択をディスエーブルし、第2の冗長行グループを選択するステップをさらに含む、上記(1)に記載の方法。

(8) 各行グループは、4本の行よりなるグループであり、前記少なくとも1本の行は、1本の行である、上記(1)に記載の方法。

(9) 各行グループは、4本の行よりなるグループであり、前記少なくとも1本の行は、2本の行である、上記(1)に記載の方法。

(10) 各行グループは、4本の行よりなるグループであり、前記少なくとも1本の行は、4本の行である、上記(1)に記載の方法。

【図面の簡単な説明】

【図1】従来技術のRAMアレイの略図である。

【図2】RAMサブアレイのトランジスタ・レベルでの回路図である。

【図3】図2の回路の動作を説明するためのタイミング図である。

【図4】本発明の実施例によるラッチ付き行デコーダの略図である。

【図5】本発明の実施例による部分アドレス・デコーダの略図である。

【図6】本発明の実施例による部分アドレス・デコーダの略図である。

【図7】本発明の実施例によるラッチ付き部分アドレス・デコーダの略図である。

【図8】本発明の実施例によるワードライン・ドライバの略図である。

【図9】図4のラッチ付き行デコーダを有するRAMの通常のランダム・アクセスのタイミング図である。

【図10】従来の複数ワードライン選択テストのタイミング図である。

【図11】本発明の最初のワードライン選択（長期間 $t_{RAS}$ 妨害）テストのタイミング図である。

【図12】本発明のトグルされたワードライン妨害テストのタイミング図である。

【図13】従来技術の転送ゲート・ストレス・テストのタイミング図である。

【図 14】本発明の転送ゲート・ストレス・テストのタイミング図である。

【図 15】本発明の好適な実施例のワードライン・ストレス・テストのタイミング図である。

【符号の説明】

100 DRAMチップ

102, 104 冗長ビットライン

106 サブアレイ

112, 118 ワードライン

120, 122 セル

124, 126 ビットライン

140 センスアンプ

200 ラッチ行デコーダ

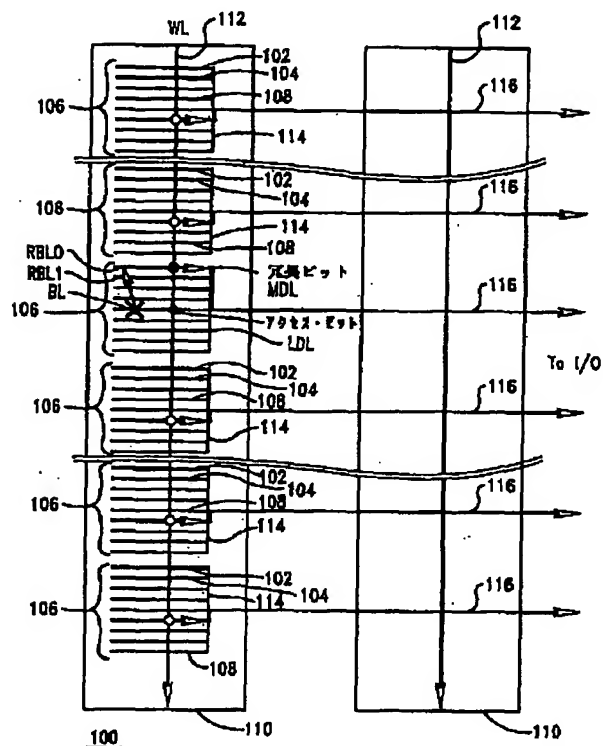
202 ラッチ回路

218, 220, 222, 224 ゲート・ワードライン・ドライバ

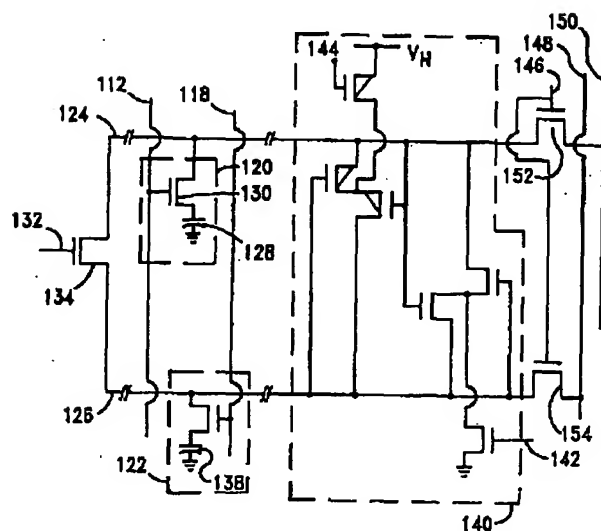
226, 228, 240 部分デコーダ

250 ワードライン・ドライバ

【図 1】

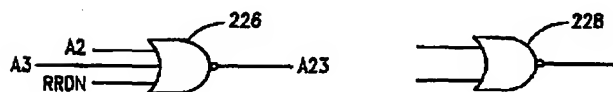


【図 2】

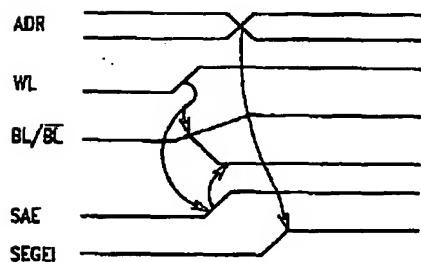


【図 5】

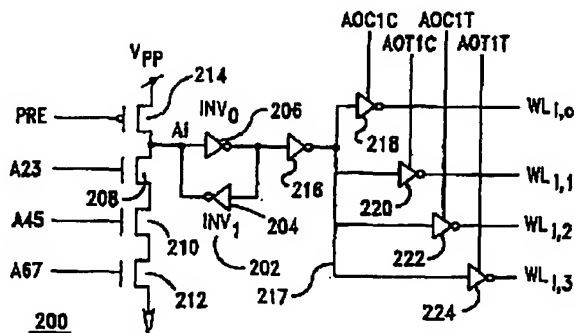
【図 6】



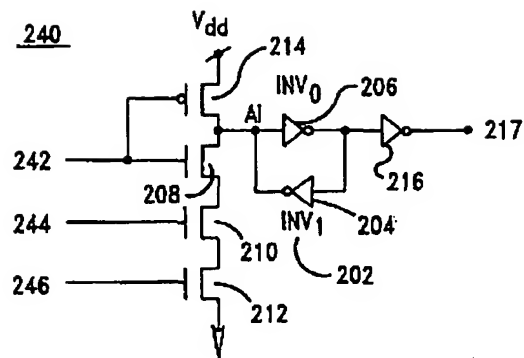
【図 3】



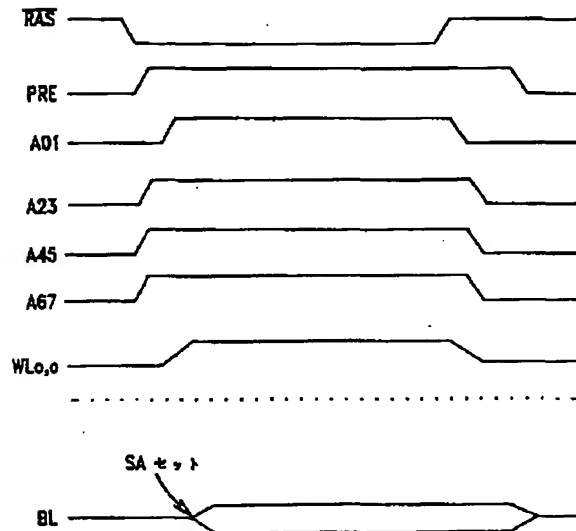
【図 4】



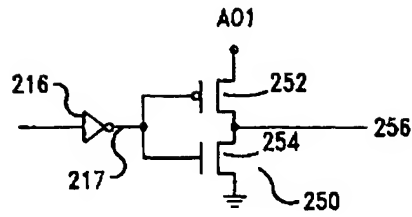
【図 7】



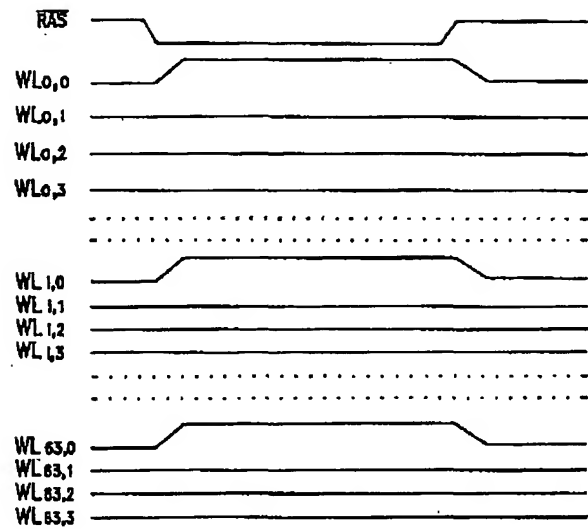
【図 9】



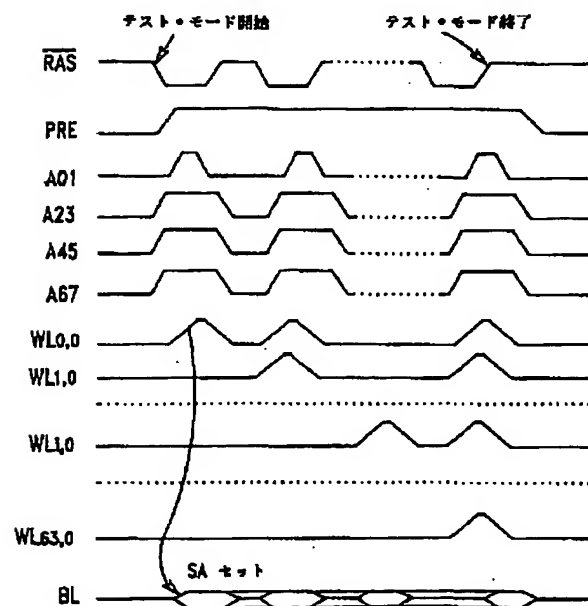
【図 8】



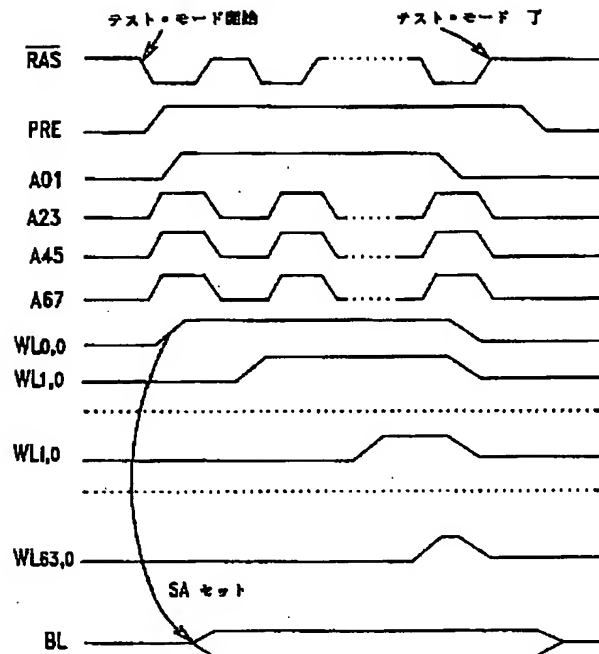
【図 10】



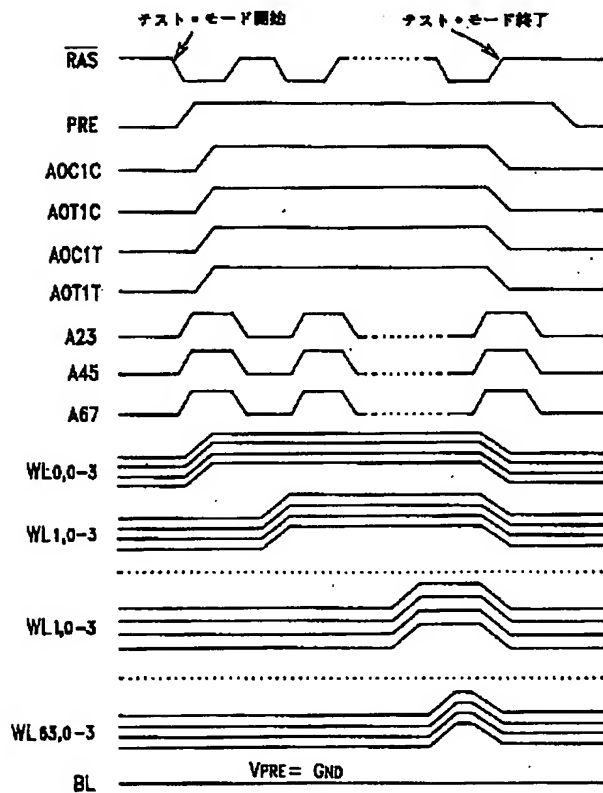
【図 12】



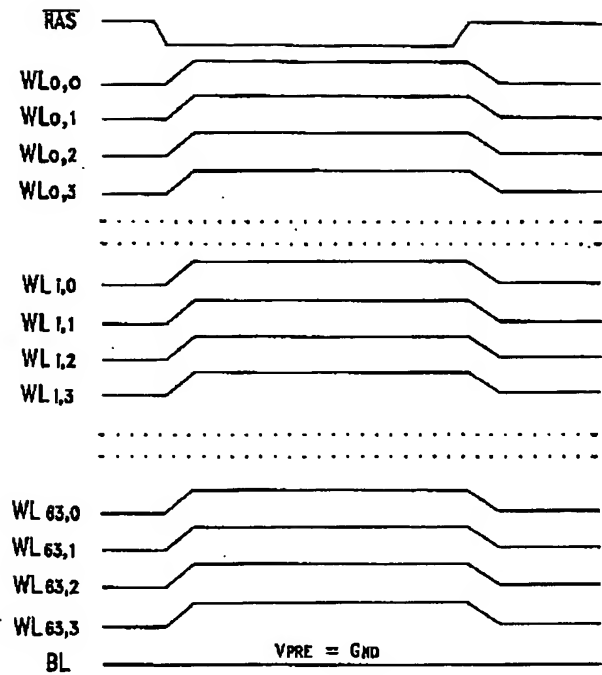
【図 11】



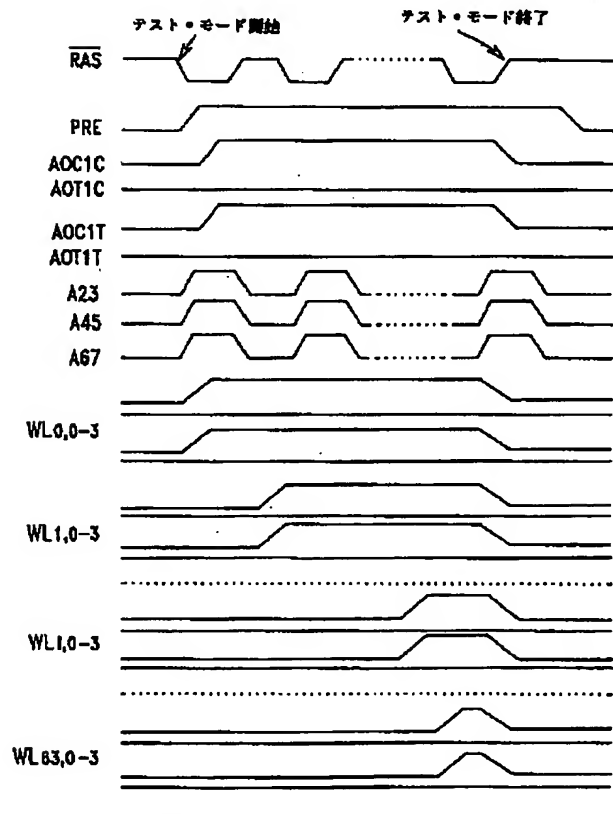
【図 14】



【図 13】



【図 15】



フロントページの続き

(72)発明者 ヒング・ウォング  
アメリカ合衆国 06850 コネティカット  
州 ノアウォーク #54 ベッドフォード  
アヴェニュー 11